

## 明細書

## 半導体装置及びその製造方法

## 技術分野

[0001] 本発明は、高誘電率絶縁膜を有する半導体装置及びその製造方法に関するものであり、特に、高性能化及び高信頼性化を実現するMOSFET (Metal Oxide Semiconductor Field Effect Transistor) に関する。

## 背景技術

[0002] トランジスタの微細化が進むCMOS (Complementary MOS: 相補型MOS) デバイスの開発においては、ポリシリコン (Poly-Si) 電極の空乏化による駆動電流の劣化と、ゲート絶縁膜の薄膜化によるゲートリーク電流の増加が問題となっている。そこで、メタルゲート電極の適用により電極の空乏化を回避すると同時に、ゲート絶縁膜に高誘電率材料を用いてゲート絶縁膜の物理的膜厚を厚くすることにより、ゲートリーク電流を低減する複合技術が検討されている。

[0003] メタルゲート電極に用いる材料としては、純金属や金属窒化物あるいはシリサイト材料が検討されているが、いずれの材料を用いる場合においても、N型MOSFET及びP型MOSFETのしきい値電圧 ( $V_{th}$ ) を適切な値に設定することが可能でなければならない。

[0004] CMOSFETにおいて  $\Delta Q \leq 5\text{eV}$  以下のしきい値電圧 ( $V_{th}$ ) を実現するためには、N型MOSFETでは、仕事関数がシリコン (Si) のミットギャップ (4.6 eV) 以下、望ましくは、4.4 eV 以下の材料を、P型MOSFETでは、仕事関数が Si のミットギャップ (4.6 eV) 以上、望ましくは、4.8 eV 以上の材料をゲート電極に用いる必要がある。

[0005] このため、異なる仕事関数を持った異種の金属あるいは合金をN型MOSFET、P型MOSFETのゲート電極にそれぞれ使い分けることにより、CMOSFETのしきい値電圧 ( $V_{th}$ ) を制御する方法が提案されている。このような方法は、一般に、デュアルメタルゲート技術と呼ばれている。

[0006] 例えば、非特許文献1には、二酸化シリコン ( $\text{SiO}_2$ ) 上に形成したタンタル (Ta) とルテニウム (Ru) の仕事関数はそれぞれ4.15 eVと4.95 eVであり、この二つの金属か

らなるゲート電極間では、仕事関数を0.8eVだけ変調させることができると述べられている。

- [0007] また、poly-Si電極をニッケル(Ni)、ハフニウム(Hf)、タンゲステン(W)などで完全にシリサイド化したシリサイト電極に関する技術が最近注目されている。
- [0008] 例えば、非特許文献2及び非特許文献3に示されているCMOSトランジスタの断面を図1に示す。
- [0009] 図1に示すCMOSトランジスタは、シリコン基板1と、シリコン基板1に形成された素子分離膜2とを有しており、隣接する素子分離膜2に挟まれた領域が素子形成領域を画定している。図1に示すように、素子形成領域には、N型MOSFETとP型MOSFETとが形成されている。N型MOSFET及びP型MOSFETは、それぞれ、シリコン基板1上に形成されたゲート絶縁膜3と、ゲート絶縁膜3上に形成されたゲート電極23、24と、ゲート電極23、24の側壁を覆うゲート側壁7と、ゲート側壁7を覆って、シリコン基板1上に形成された層間絶縁膜4と、ゲート側壁7の周囲においてシリコン基板1の表面に形成されたシリサイト層10と、ゲート電極23、24の周囲においてシリコン基板1に形成されたエクステンション拡散層領域6と、ゲート側壁7の周囲において、かつ、エクステンション拡散層領域6の下方においてシリコン基板1に形成されたソース・ドレイン拡散層8と、を備えている。
- [0010] ゲート絶縁膜3は二酸化シリコン( $\text{SiO}_2$ )からなる。N型MOSFETのゲート電極23は、ポリシリコンをニッケル(Ni)で完全にシリサイド化し、さらに、不純物としてリン(P)が注入されたNiシリサイト(NiSi)からなる。また、P型MOSFETのゲート電極24は、ポリシリコンをニッケル(Ni)で完全にシリサイド化し、さらに、不純物としてホウ素(B)が注入されたNiシリサイト(NiSi)からなる。
- [0011] このようなゲート絶縁膜3及びゲート電極23、24を用いることにより、ゲート電極の仕事関数を最大で0.5eV変調させることができるものとされている。この技術の特徴は、CMOSのソース・ドレイン拡散層領域における不純物を活性化させるための高温熱処理を行った後に、ポリシリコン電極をシリサイド化することが可能であり、従来のCMOSプロセスと整合性が高い利点があることである。
- [0012] また、同文献には、ゲート絶縁膜としてSiONを用いた場合、ゲート電極として作製

されたNiSiとNiSi<sub>2</sub>の仕事関数がそれぞれ約4.6eV、4.45eVであることが開示されている。

[0013] 図2は、特許文献1に記載されたcMOSトランジスタの断面図である。

[0014] 図2に示すcMOSトランジスタは、シリコン基板1と、シリコン基板1に形成され、素子形成領域を画定する素子分離膜2と、シリコン基板1上に形成されたゲート絶縁膜28と、ゲート絶縁膜28に覆われて形成されたゲート電極と、ゲート電極の側壁を覆うゲート側壁29と、ゲート側壁29を覆って、シリコン基板1上に形成された層間絶縁膜3と、ゲート側壁29の周囲においてシリコン基板1の表面に形成されたシリサイト層10と、ゲート電極の周囲においてシリコン基板1に形成されたエクステンション拡散層領域6と、ゲート側壁29の周囲において、かつ、エクステンション拡散層領域6の下方においてシリコン基板1に形成されたソース・ドレイン拡散層8と、を備えている。

[0015] N型MOSFETのゲート電極はタンゲステン膜27とそれを覆うタンゲステン・シリサイト膜25とからなり、P型MOSFETのゲート電極はタンゲステン膜26とそれを覆うタンゲステン膜27とからなる。

[0016] このように、図2に示すcMOSトランジスタにおいては、ゲート電極の材料にタンゲステン(W)またはタンゲステン・シリサイトを用いて置換ゲートプロセスにより作製し、N型MOSFET及びP型MOSFETのしきい値電圧(V<sub>th</sub>)を制御するために、タンゲステンとタンゲステン・シリサイトをゲート電極として使い分けるか、あるいは、タンゲステン・シリサイトの組成を変化させるとレズ技術が開示されている。

[0017] すなわち、タンゲステン膜またはタンゲステン・シリサイト膜を全面に堆積し、その後、タンゲステン膜上にシリコン(Si)膜を、タンゲステン・シリサイト膜上にタンゲステン膜を堆積した後、P型MOSFET領域のタンゲステン膜上のSi膜、あるいは、N型MOSFET領域のタンゲステン・シリサイト膜上のタンゲステン膜を除去する。その後、熱処理により、タンゲステン膜とSi膜、あるいは、タンゲステン・シリサイト膜とタンゲステン膜とを反応させて、N型MOSFET領域とP型MOSFET領域にタンゲステン・シリサイトとW電極を作り分けるか、あるいは、タンゲステン・シリサイトの組成を変えることにより、ゲート電極の仕事関数を制御する。

非特許文献1: インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダ  
イジェスト(International electron devices meeting technical digest)200  
2, p. 359

非特許文献2: インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダ  
イジェスト(International electron devices meeting technical digest)200  
2, p. 247

非特許文献3: インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダ  
イジェスト(International electron devices meeting technical digest)200  
3, p. 315

## 発明の開示

### 発明が解決しようとする課題

- [0018] しかしながら、上記の技術にはそれぞれ以下のような問題点が存在する。
- [0019] 異なる仕事関数を持った異種の金属または合金を作り分けるデュアルメタルゲート技術は、P型MOSFETとN型MOSFETのどちらかのゲート上に堆積された層をエッチング除去するプロセスが必要であるが、エッチングの際にゲート絶縁膜の品質を劣化させてしまつため、素子の特性や信頼性が損なわれるれづ欠点がある。
- [0020] また、不純物がドープされたシリサイト電極でしきい値電圧( $V_{th}$ )を変調する技術は、後述する比較例2において述べるように、ゲート絶縁膜に高誘電率材料を用いた場合には、ゲート電極の仕事関数を制御することができない、れづ欠点がある。
- [0021] ゲート電極を $\text{NiSi}$ と $\text{NiSi}_2$ とで作り分けることによって仕事関数を変調させる技術は、仕事関数が変化する方向は仕事関数が小さくなる方向であり、P型MOSFETへの適用が困難であるれづ問題点と、後述する実施例1で説明するように、ゲート絶縁膜として高誘電率絶縁膜を用いた場合には、両者の仕事関数の差が0.1eV以下となり、変調効果が抑制されてしまつれづ問題点を有している。
- [0022] さらに、Wシリサイトの組成を変化させてゲート電極の仕事関数を変える技術は、Wシリサイトを形成するための熱処理温度が500°C以上と高いため、ソース・ドレイン拡散領域に形成されたシリサイト層が高抵抗化してしまつれづ問題点がある。
- [0023] また、Wシリサイトの組成比と仕事関数とがリニアな関係にあるため、組成比のわず

かなずれ(すなわち、W や Si の成膜膜厚のずれや面内分布のずれなど)が仕事関数のばらつきとなって現れ、素子の再現性や均一性を低下させるおそれがある。

- [0024] さらに、W 膜と Si 膜を反応させて Si 濃度の高い W シリサイトを形成する場合、ゲート絶縁膜とゲート電極との間の界面で剥がれが生じる恐れもある。
- [0025] 本発明は、上記の従来の技術における問題点に対してなされたものであり、上述した問題点を改善し、素子の特性や信頼性を向上させることが可能な半導体装置及びその製造方法を提供することを目的とする。

### 課題を解決するための手段

- [0026] 上記の目的を達成するため、本発明は、シリコン基板と、前記シリコン基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を備える半導体装置において、前記ゲート絶縁膜が、金属酸イロ物、金属シリケート、または、金属酸イロ物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を含み、前記ゲート電極の少なくとも前記ゲート絶縁膜に接する領域の組成が、 $M_xSi_{1-x}$  ( $0 < x < 1$ ) で表される金属 M のシリサイトを主成分とし、  
さらに、p チャネル上のゲート電極に含まれる前記金属 M のシリサイトにおいては  $x \leq 0.5$  であり、n チャネル上のゲート電極に含まれる金属 M のシリサイトにおいては  $x \geq 0.5$  であることを特徴とする半導体装置を提供する。
- [0027] 前記高誘電率絶縁膜は Hf または Zr を含むことが好ましい。
- [0028] 前記半導体装置は、前記高誘電率絶縁膜と前記ゲート電極との間に Hf または Zr を含む層を有することが好ましい。
- [0029] 前記高誘電率絶縁膜は、例えば、シリコン酸イロ膜もしくはシリコン酸窒イロ膜と、Hf もしくは Zr を含む層との積層構造として形成することができる。
- [0030] 前記高誘電率絶縁膜は HfSiON を含むことが好ましい。
- [0031] 前記半導体装置は、前記高誘電率絶縁膜と前記ゲート電極との間に HfSiON 層を有することが好ましい。
- [0032] 前記高誘電率絶縁膜は、例えば、シリコン酸イロ膜もしくはシリコン酸窒イロ膜と、HfSiON 層との積層構造として形成することができる。
- [0033] 前記金属 M は、シリサイトプロセスが可能であるシリサイトを形成し得る金属である

ことが好ましい。

- [0034] 前記金属Mとしては、例えば、ニッケル(Ni)を選択することができる。
- [0035] 前記金属Mがニッケル(Ni)であるシリサイトのうち、前記ゲート絶縁膜に接する領域の組成が $Ni_xSi_{1-x}$  ( $0 < x < 1$ ) で表されるとき、pチャネル上のゲート電極に含まれる前記シリサイトにおいては $0.6 \leq x < 1$  であり、かつ、nチャネル上のゲート電極に含まれる前記シリサイトにおいては $0 < x \leq 0.5$  であることが好ましい。
- [0036] pチャネル上のゲート電極に含まれる前記シリサイトが、少なくとも前記ゲート絶縁膜に接する領域において、 $Ni_3Si$ 相を主成分として含み、nチャネル上のゲート電極に含まれる前記シリサイトが、少なくとも前記ゲート絶縁膜に接する領域において、 $NiSi_2$ 相もしくは $NiSi_2$ 相を主成分として含むことが好ましい。
- [0037] 本発明は、さらに、シリコン基板と、前記シリコン基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を備える半導体装置において、少なくとも、前記ゲート電極の前記ゲート絶縁膜に接する領域が $Ni_3S$ 相を主成分として含むシリサイトで構成されることを特徴とする半導体装置を提供する。
- [0038] 前記ゲート絶縁膜は、金属酸化物、金属シリケート、金属酸化物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を含むことが好ましい。
- [0039] 前記高誘電率絶縁膜はHfまたはZrを含むことが好ましい。
- [0040] 前記半導体装置は、前記高誘電率絶縁膜と前記ゲート電極との間にHfまたはZrを含む層を有することが好ましい。
- [0041] 前記高誘電率絶縁膜が、例えば、シリコン酸化膜もしくはシリコン酸窒化膜と、HfもしくはZrを含む層との積層構造として形成することができる。
- [0042] 前記高誘電率絶縁膜はHfSiONを含むことが好ましい。
- [0043] 前記半導体装置は、前記高誘電率絶縁膜と前記ゲート電極との間にHfSiON層を有することが好ましい。
- [0044] 前記高誘電率絶縁膜は、例えば、シリコン酸化膜もしくはシリコン酸窒化膜と、HfSiON層との積層構造として形成することができる。
- [0045] 前記ゲート電極は、例えば、P型MOSFETに用いられることが好ましい。
- [0046] 本発明は、さらに、前記ゲート絶縁膜上に多結晶シリコン(Poly-Si)を堆積し、前

記多結晶シリコンを所望の寸法のゲート電極に加工する工程と、前記ゲート電極上に前記金属Mを成膜する工程と、前記ゲート電極及び前記金属Mを熱処理することによって、前記ゲート電極全体を前記金属Mのシリサイドとする工程と、シリサイド化しなかった金属を選択的にエッチング除去する工程と、を含み、前記金属Mの膜厚を、pチャネル素子上においては、多結晶シリコンと金属Mとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $M_xSi_{1-x}$  ( $0.5 < x < 1$ )となるような膜厚 $t_1$ とし、nチャネル素子上においては、多結晶シリコンと金属Mとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $M_xSi_{1-x}$  ( $0 < x \leq 0.5$ )となるような膜厚 $t_2$ とすることを特徴とする上述の半導体装置の製造方法を提供する。

[0047] 本発明は、さらに、前記ゲート絶縁膜上に多結晶シリコンを堆積し、前記多結晶シリコンを所望の寸法のゲート電極に加工する工程と、前記ゲート電極上にニッケル(Ni)膜を成膜する工程と、前記ゲート電極及び前記ニッケル膜を熱処理することによって、前記ゲート電極全体をNiシリサイド(NiSi)とする工程と、シリサイド化しなかったニッケルを選択的にエッチング除去する工程と、を含み、前記ニッケル膜の膜厚を、pチャネル素子上においては、多結晶シリコンとニッケルとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $Ni_xSi_{1-x}$  ( $0.6 \leq x < 1$ )となるような膜厚 $t_1$ とし、nチャネル素子上においては、多結晶シリコンとニッケルとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $Ni_xSi_{1-x}$  ( $0 < x \leq 0.5$ )となるような膜厚 $t_2$ とすることを特徴とする上述の半導体装置の製造方法を提供する。

[0048] 本発明は、さらに、前記ゲート絶縁膜上に多結晶シリコンを堆積し、前記多結晶シリコンを所望の寸法のゲート電極に加工する工程と、前記ゲート電極上にニッケル(Ni)膜を成膜する工程と、前記ゲート電極及び前記ニッケル膜を熱処理することによって、前記ゲート電極全体をNiシリサイド(NiSi)とする工程と、シリサイド化しなかったニッケルを選択的にエッチング除去する工程と、を含み、前記ニッケル膜の膜厚を、pチャネル素子上においては、多結晶シリコンとニッケルとが反応してシリサイド化した時に $Ni_3SiW$ を主成分として含むような膜厚 $t_1$ とし、nチャネル素子上においては、多

結晶シリコンとニッケルとが反応してシリサイド化した時にNiSi相もしくはNiSi<sub>2</sub>相を主成分として含むような膜厚t<sub>Z</sub>とすることを特徴とする上述の半導体装置の製造方法を提供する。

- [0049] 例えば、前記ニッケル膜の膜厚TNiと前記多結晶シリコンの膜厚T<sub>Si</sub>との比をTNi/T<sub>Si</sub>≡1.60とすることにより、Ni<sub>3</sub>S<sub>2</sub>を主成分として含む前記ゲート電極を得ることができる。
- [0050] 例えば、前記ニッケル膜の膜厚TNiと前記多結晶シリコンの膜厚T<sub>Si</sub>との比を0.55≡TNi/T<sub>Si</sub>≡0.95とすることにより、NiSi<sub>W</sub>を主成分として含む前記ゲート電極を得ることができる。
- [0051] 例えば、前記ニッケル膜の膜厚TNiと前記多結晶シリコンの膜厚T<sub>Si</sub>との比を0.28≡TNi/T<sub>Si</sub>≡0.54とし、かつ、シリサイド化のための熱処理温度を摂氏650度以上とすることにより、NiSi<sub>2</sub>相を主成分として含む前記ゲート電極を得ることができる。
- [0052] 前記金属Mまたは前記ニッケル膜を成膜する工程は、例えば、nチャネル素子上とpチャネル素子上に膜厚t<sub>Z</sub>を堆積した後、nチャネル素子上にのみ金属Mまたはニッケルに対して安定な拡散防止層を形成し、その後に、膜厚t<sub>1</sub>—t<sub>2</sub>を堆積する工程からなるものとすることができる。
- [0053] 前記拡散防止層は前記金属Mのシリサイドに対して選択的にエッティングできるものであることが好ましい。
- [0054] 前記拡散防止層はTiNまたはTaNを主成分とすることが好ましい。
- [0055] 前記シリサイドビの熱処理温度は、前記半導体装置の拡散層コンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度であることが好ましい。
- [0056] 本発明は、さらに、前記ゲート絶縁膜上にポリシリコンを堆積し、前記ポリシリコンを所望の寸法のゲート電極に加工する工程と、前記ゲート電極上にニッケル(Ni)膜を成膜する工程と、前記ゲート電極及び前記ニッケル膜を熱処理することによって、前記ゲート電極全体をNiシリサイド(NiSi)とする工程と、シリサイド化しなかったニッケルを選択的にエッティング除去する工程と、を含み、前記ニッケル膜の膜厚TNiと前記ポリシリコンの膜厚T<sub>Si</sub>との比がTNi/T<sub>Si</sub>≡1.60となることを特徴とする上述の半導体装置の製造方法を提供する。

[0057] なお、本明細書において、高誘電率 (High-k) とは、一般にゲート絶縁膜として従来から用いられている二酸化ケイ素 ( $\text{SiO}_2$ ) からなる絶縁膜と区別するために用いられるものであり、二酸化ケイ素 ( $\text{SiO}_2$ ) からなる絶縁膜よりも概して誘電率が高いことを意味し、その具体的数値は特に限定されるものではない。

### 発明の効果

[0058] 本発明によれば、ゲート電極をシリサイドで形成することにより、ゲート電極の空乏化を回避することができるだけでなく、シリサイドの組成を制御することにより、これまで困難とされていた高誘電率のゲート絶縁膜上における電極の仕事関数を制御することが可能となる。このため、P型MOSFET、N型MOSFETの各々に対して適当な組成のシリサイド電極を形成することにより、各デバイスに適したしきい値電圧 ( $V_{th}$ ) の制御を行なうことが可能になる。

[0059] その際、シリサイドの組成はシリサイドを構成する主要な結晶相によって自己整合的に決定されるため、プロセスマージンが広く、しきい値電圧 ( $V_{th}$ ) のバラツキを抑えることができる。また、Niなどの低温シリサイドプロセスが可能な金属を選択すると、ソース・ドレイン拡散領域のコンタクトシリサイド層の高抵抗化を抑制することができる。

[0060] また、本発明に係る半導体装置の製造方法は、ゲート絶縁膜上にpoly-Si電極を形成した後に、再度、これを除去する工程を有していないために、ゲート絶縁膜の表面がウェットエッチング液や有機溶剤に数度にわたり晒されることがない。このため、信頼性に優れたメタルゲート電極及び高誘電率ゲート絶縁膜を備えたCMOSFETを作製することが可能である。

### 図面の簡単な説明

[0061] [図1]第一の従来例のCMOSFETの断面図である。

[図2]第二の従来例及び比較例2のCMOSFETの断面図である。

[図3]本発明の第一の実施例に係るCMOSFETの断面図である。

[図4]本発明の第一の実施例に係るCMOSFETの製造方法における各工程を示すCMOSFETの断面図である。

[図5]本発明の第一の実施例に係るCMOSFETにおいて、Niシリサイドの各結晶相におけるX線回折 (RD) 及びラザフォード後方散乱 (RBS) の測定結果を示す波形

図である。

[図6]第一の実施例に従ってNiシリサイドゲート電極の組成を制御し、ゲート絶縁膜に高誘電率材料であるHfSiON膜を採用したCMOSFETにおけるゲート容量(C)とゲート電圧(V)との関係を示したグラフである。

[図7]フラットバンド電圧から見積もった仕事関数とNiシリサイドゲート電極の組成比N<sub>i</sub>/(Ni+Si)との関係を示した図である。

[図8]第一の実施例に従って作製されたNiシリサイドゲート電極の仕事関数により実現できるトランジスタのしきい値電圧の範囲を示したグラフである。

[図9]第一の実施例に従って作製されたNiシリサイドゲート電極を有するN型MOSFETにおけるドレイン電流のゲート電圧依存性を示すグラフである。

[図10]第一の実施例に従って作製されたN型MOSFETにおける電子移動度と実効電界の強度との関係を示したグラフである。

[図11]本発明の第一の実施例に係るCMOSFETに対する比較例1の断面図である。

[図12]比較例1におけるP型MOSFETのゲート容量(C)－ゲート電圧(V)特性である。

[図13]P型及びN型MOSFETのC－V特性から得たSiO<sub>2</sub>膜上のNiSi電極の仕事関数及びHfSiON膜上のNiSi電極の仕事関数の不純物ドーズ量依存性を示すグラフである。

### 符号の説明

- [0062] 1 シリコン基板
- 2 素子分離膜
- 3 ゲート絶縁膜
- 4 ポリシリコン膜
- 5 シリコン酸ガラス膜
- 6 エクステンション拡散層領域
- 7 ゲート側壁
- 8 ソース 小レイン拡散層

- 9 金属膜
- 10 シリサイト層
- Ⅲ 層間絶縁膜
- 12 第1金属膜
- 13 拡散防止層
- 14 第2金属膜
- 19、20 ゲート電極
- 18 HfSiON膜

#### 発明を実施するための最良の形式

[0063] 本発明は、MOSFETの高性能化に必要とされる高誘電率ゲート絶縁膜を用いた場合に、N型MOSFETのゲート電極にシリコン(Si)の濃度が高いシリサイト材料を、P型MOSFETのゲート電極に金属の濃度が高いシリサイト材料をそれぞれ用い巧と、シリサイトの組成の僅かな変化で大幅な仕事関数の変化を得るがこれづ新しい発見に基づく。

[0064] この現象は、HfSiON膜上にpoly-Si電極を形成したときに生じる電極フェルミレベルのヒシニング(比較例1において後述する)と関係があり、このような仕事関数の変化はゲート絶縁膜に $\text{SiO}_2$ を用いた場合では実現することができない。

[0065] すなわち、Si濃度が高いシリサイト電極を、例えば、高誘電率絶縁膜としてのHfSiON膜上に形成すると、シリサイトドロ前のpoly-Si/HfSiON界面で生じるフェルミレベルのピンニングの影響が解消されずに残る。そのため、シリサイト電極の仕事関数がHfSiON膜上のpoly-Si電極のフェルミレベルのヒシニング位置である4.1乃至4.3eVに近い値となる。一方、シリサイト電極中の金属の濃度が高くなると、フェルミレベルのヒシニングが弱まり、ほぼシリサイト本来の仕事関数の値(4.8eV)がゲート電極に反映されるようになるのである。

[0066] さらに、本発明においては、低温でpoly-Siを完全にシリサイト化することができる金属が用いられる。

[0067] 具体的には、poly-Siをシリサイト化する温度は、ソース・ドレイン拡散層のコンタクト領域に形成されている金属シリサイトの抵抗値を増大させない温度である350乃至

500°Cの範囲であることが望ましい。

[0068] さらに、本発明においては、この温度範囲においてSiの濃度が高い結晶相と金属の濃度が高い結晶相の両方を形成することが可能な金属が用いられる。

[0069] このような金属を用いてpoly-Si電極をシリサイド化することにより、自己整合的に電極の組成を決定することが可能となり、CMOSプロセスのバラツキを抑えることが可能になる。

[0070] 以上より、シリサイドにおける金属Mとしてはニッケル(Ni)が好適である。Niを用いることにより450°C以下のアニールを実施することにより、poly-Siを完全にシリサイド化することが可能となり、さらに、Niの供給量を変えるだけで段階的に結晶相の組成を制御することができるからである。

[0071] Niシリサイドの組成は、前述した理由から、少なくともHfSiON層に接する領域の組成が $Ni_xSi_{1-x}$  ( $0 < x < 1$ ) で表されるとき、P型MOSFETのゲート電極に用いるNiシリサイドでは $0.6 \leq x < 1$ であり、かつ、N型MOSFETのゲート電極に用いるNiシリサイドでは $0 < x \leq 0.5$ であることが望ましい。

[0072] さらに望ましくは、HfSiON層に接する領域の組成が $Ni_xSi_{1-x}$  ( $0 < x < 1$ ) で表されるとき、P型MOSFETのゲート電極に用いるNiシリサイドでは $0.6 < x < 0.8$ であり、かつ、N型MOSFETのゲート電極に用いるNiシリサイドでは $0.3 < x < 0.55$ であることが望ましい。これは、Niの結晶相は、主として、 $NiSi_2$ 、 $Ni_3Si$ 、 $Ni_2Si$ 、 $Ni_3Si$ に分類され、熱履歴により、これらの混合物も形成することが可能であるからである。

[0073] さらに、最適値としては、HfSiON層に接する領域の組成が $Ni_xSi_{1-x}$  ( $0 < x < 1$ ) で表されるとき、P型MOSFETのゲート電極に用いるNiシリサイドでは $0.7 < x < 0.8$ であり、かつ、N型MOSFETのゲート電極に用いるNiシリサイドでは $0.45 < x < 0.55$ であることが望ましい。すなわち、P型MOSFETのゲート電極に含まれるシリサイドが $Ni_3Si$ を主成分として含み、N型MOSFETのゲート電極に含まれるシリサイドが $NiSi$ 相を主成分として含むことが望ましい。

[0074] 上記のように、ソース小レイン拡散層のコンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度でシリサイド化が可能であり、かつ、そのような温度

でシリコン(Si)の濃度が高い結晶相と金属の濃度が高い結晶相の両方を形成することができれば、金属Mの材料としては、Niに限定するものではなく、タンタル(Ta)、白金(Pt)、コバルト(Co)、チタン(Ti)、ハフニウム(Hf)、バナジウム(V)、コバルト(Cr)、ジルコニウム(Zr)、ニオブ(Nb)などを用いることも可能である。

[0075] さらに、本発明においては、ゲート電極の組成は $M_xSi_{1-x}$  ( $0 < x < 1$ ) で表される金属Mのシリサイトを主成分とし、さらに、pチャネル上のゲート電極に含まれる金属Mのシリサイトでは $x \approx 0.5$ 、nチャネル上のゲート電極に含まれる金属Mのシリサイトでは $x \approx 0.5$ とする。

[0076] このような条件を満たす金属シリサイトを用いることにより、従来用いられてきたpoly-Siからなるゲート電極の空乏化に起因するトランジスタのドレイン電流の減少を抑制することができるだけでなく、以下のような利点を得ることが可能となる。

[0077] (1) 従来のシリサイト電極では難しかった高誘電率ゲート絶縁膜上における仕事関数の制御を実現することができる。

[0078] (2) シリサイト組成をシリサイトの結晶相で制御することが可能であり、かつ、シリサイトの結晶相はpoly-Si上に堆積する金属膜の膜厚により制御することが可能であるため、作製条件のマージンが大きく、素子の再現性を高めることができる。

[0079] (3) 金属リッチなシリサイトを用いることにより、仕事関数の変調幅を、シリコンのミントキヤップよりも大きくなるように、広げることができる。

[0080] (4) 金属リッチなシリサイトを用いることにより、低温のシリサイト化プロセスを用いることができる。

[0081] (5) ゲート電極の元素構成を変える必要がないため、従来のようにゲート絶縁膜上に堆積した膜をエッティング除去する工程はもはや必要ではなく、エッティングによるゲート絶縁膜へのダメージを抑制することができる。

[0082] (6) シリサイト作製工程でシリサイトプロセスを用いることができ、ゲート電極の作製工程が簡便になる。

[0083] なお、上記の説明では、ゲート電極の組成や結晶相の深さ方向の分布については言及していないが、MOSFETのしきい値電圧( $V_{th}$ )はゲート絶縁膜とそれに接するゲート電極との組み合わせで決定されるため、ゲート電極とゲート絶縁膜とが接する

領域の構成元素や組成、結晶相が本発明の条件を満たしていれば、ゲート絶縁膜に接していない領域のゲート電極の構成元素や結晶相が異なっていたとしても、あるいは、ゲート電極が深さ方向に沿った組成変化を有する場合でも、本発明による効果を得ることができる。

[0084] 以下、図面を参照して、本発明の実施例を説明する。

### 実施例 1

[0085] 図3は、本発明の第一の実施例に係るCMOSFETの断面図である。

[0086] 本実施例に係るCMOSFETはシリコン基板1を備えており、このシリコン基板1の表面には素子分離膜2が形成されており、隣接する素子分離膜2の間に画定されている素子形成領域において、N型MOSFETとP型MOSFETとがそれぞれ形成されている。

[0087] N型MOSFETは、シリコン基板1上に形成されたゲート絶縁膜としての二酸化シリコン(SiO<sub>2</sub>)層3と、SiO<sub>2</sub>層3上に形成されたHfSiON層18と、HfSiON層18上に形成されたゲート電極19と、を備えている。N型MOSFETにおけるゲート電極1gはNi<sub>x</sub>Si<sub>1-x</sub>(0<x≤0.5)で形成されている。

[0088] P型MOSFETは、シリコン基板1上に形成された二酸化シリコンSiO<sub>2</sub>層3と、SiO<sub>2</sub>層3上に形成されたHfSiON層18と、HfSiON層18上に形成されたゲート電極20と、を備えている。P型MOSFETにおけるゲート電極20はNi<sub>x</sub>Si<sub>1-x</sub>(0.6≤x<1)で形成されている。

[0089] なお、後述するように、N型MOSFET及びP型MOSFETにおいて、HfSiON層18は必ずしも形成する必要はない。

[0090] 以下に述べる構造はN型MOSFETとP型MOSFETとで共通であるため、N型MOSFETに関してのみ説明する。

[0091] SiO<sub>2</sub>層3、HfSiON層18及びゲート電極19の側壁を囲んで、シリコン基板1上にはゲート側壁7が形成されている。さらに、シリコン基板1上には、ゲート側壁7を覆い、ゲート電極19が露出するように、層間絶縁膜4が形成されている。

[0092] シリコン基板1の表面には、ゲート側壁7の周囲に、シリサイト層10が形成されている。また、シリコン基板1の内部には、ゲート電極19の周囲に、エクステンション拡散

層領域6が形成されており、さらに、ゲート側壁7の周囲に、かつ、エクステンション拡散層領域6の下方に、ソースノードレイン拡散層8が形成されている。

- [0093] 図4 (a) 乃至①は、本実施例に係るCMOSFETの製造方法における各工程を示した断面図である。以下、図4 (a) 乃至①を参照して、本実施例に係るCMOSFETの製造方法を説明する。
- [0094] 本実施例に係るCMOSFETの製造方法においては、層間絶縁膜の形成後に、この層間絶縁膜を研磨することにより、平坦化すると同時に、ゲート電極の上部を露出させることが可能なCMP (Chemical Mechanical Polishing) 技術を用いて、N型及びP型MOSFETを作製する。
- [0095] まず、図4 (a) に示すようにシリコン基板1の表面領域にSTI (Shallow Trench Isolation) 技術を用いて素子分離膜2を形成した。
- [0096] 続いて、素子分離膜2により画定された素子形成領域内において、シリコン基板1の表面にゲート絶縁膜3を形成した。ゲート絶縁膜3は、金属酸化物、金属シリケート、窒素が導入された金属酸化物、または、窒素が導入された金属シリケートからなる高誘電率絶縁膜として形成される。
- [0097] 特に、ゲート絶縁膜3を構成する金属がHfまたはZrであることが好ましい。HfやZrを含む高誘電率絶縁膜は高温の熱処理に対して安定であると同時に、膜中の固定電荷が少ない膜を比較的容易に得ることができるためである。
- [0098] さらに、高誘電率絶縁膜からなるゲート電極と接してHfもしくはZrを含む層を形成することが好ましい。ゲート電極とこれに接する高誘電率膜との組合せにより、MOSFETのしきい値電圧が決定されるためである。この時、シリコン基板1とゲート絶縁膜3との界面の界面準位を減らし、高誘電率絶縁膜中の固定電荷の影響をより小さくするため、高誘電率絶縁膜とシリコン基板1との界面にシリコン酸化膜もしくはシリコン酸窒化膜を導入しても良い。
- [0099] さらに好ましくは、シリコン酸化膜もしくはシリコン酸窒化膜に代えてHfSiON膜を形成してもよく、あるいは、シリコン酸化膜もしくはシリコン酸窒化膜上にHfSiON膜18を形成してもよい(図4においては、単純化のため、ゲート絶縁膜3のみを図示し、HfSiON膜18は省略した)。

[0100] 本実施例においては、ゲート絶縁膜3中のHf濃度が深さ方向において変化しており、ゲート電極とゲート絶縁膜3との界面付近におけるHfの濃度が最も高く、シリコン基板1とゲート絶縁膜3との界面付近はシリコン熱酸化膜の組成となっているHfSiON膜18を用いた。

[0101] このようなHfSiON膜18を得るために、まず、1.9nmのシリコン熱酸化膜を形成した後、0.5nmのHfをロングスロースパッタ法で堆積し、酸素中で摂氏500度で1分、さらに、窒素中で摂氏800度で30秒の2段階熱処理することにより、Hfを下地のシリコン酸化膜中へ固相拡散させ、HfSiON膜を形成した。その後、NH<sub>3</sub>雰囲気中において摂氏900度で10分の窒化アニールを行って、HfSiON膜18を得た。

[0102] 次に、ゲート絶縁膜3上に、厚さ40nmのポリシリコン(Poly-Si)膜4と厚さ150nmのシリコン酸化膜5とからなる積層膜を形成した。

[0103] この積層膜を、図4(b)に示すように、リソグラフィー技術及び反応性イオンエッチャング(Reactive Ion Etching:RIE)技術を用いて、ゲート電極4aに加工し、引き続いてイオン注入を行い、ゲート電極4aをマスクとして、エクステンション拡散層領域6をゲート電極4aの周囲に自己整合的に形成した。

[0104] さらに、図4(c)に示すように、シリコン窒化膜とシリコン酸化膜を順次堆積し、その後、エッチバックすることによって、ゲート電極4aの側壁上にゲート側壁7を形成した。

[0105] この状態で再度イオン注入を行い、イオンを活性化させるためのアニールを経て、エクステンション拡散層領域6の下方にソース・ドレイン拡散層8を形成した。

[0106] 次に、図4(d)に示すように、スパッタにより、厚さ20nmの金属膜9を全面に堆積した。

[0107] 次いで、図4(e)に示すように、サリサイト技術により、ゲート電極19、ゲート側壁7及び素子分離膜2をマスクとして、ソース・ドレイン拡散層の上方の領域のみに厚さ約40nmのシリサイト層10を形成した。このシリサイト層10はコンタクト抵抗を最も低くすることができるNiモノシリサイト(NiSi)とした。Niシリサイトの代わりにCoシリサイトやTiシリサイトを用いることもできる。

[0108] さらに、図4(f)に示すように、CVD(Chemical Vapor Deposition)法によって

、シリコン酸イロ膜からなる層間絶縁膜Ⅲを全面に形成した。

[0109] 次いで、層間絶縁膜ⅢをCMP技術によって、図4(g)に示すように、平坦化し、さらに、層間絶縁膜Ⅲのエッチバックを行うことにより、ゲート電極4aのポリシリコン膜4を露出させた。

[0110] 次に、図4(h)に示すように、ゲート電極4aのポリシリコン膜4とのシリサイトを形成させる第1金属膜12を全面に堆積した。

[0111] 第1金属膜12をなす金属はポリシリコン膜4とシリサイトを形成可能な金属、例えば、Ni、Pt、~~且~~f、V、Ti、Ta、W、Cc、Cr、Zr、Mo、Nbやそれらの合金の中から選択することができるが、ソース・ドレイン拡散層8に既に形成されているシリサイト層10の抵抗値がそれ以上高くならない温度でポリシリコン膜4を完全にシリサイト化できる金属が好適である。例えば、ソース・ドレイン拡散層8にNiモノシリサイト(NiSi)層が形成されている場合は、Niダイシリサイト(NiSi<sub>2</sub>)化によりソース・ドレイン拡散層8と配線とのコンタクト抵抗が高くなることを防ぐために、その後のプロセス温度を摂氏500度以下にする必要がある。このため、本実施例においては、摂氏500度以下でシリサイト化が十分に進行するNiを用いた。

[0112] この工程におけるNiからなる第1金属膜12の膜厚t<sub>2</sub>としては、ポリシリコン膜4とNiが十分に反応してシリサイト化した時に、ゲート絶縁膜3に接している領域の組成がNi<sub>x</sub>Si<sub>1-x</sub>(0<x≤0.5)となるような膜厚を設定する。

[0113] 好ましくは、シリサイト化反応後のシリサイト膜がNiSi相もしくはNiSi<sub>2</sub>相を主成分として含むような膜厚を設定する。これは、NiSi相もしくはNiSi<sub>2</sub>相を主成分として含むシリサイト膜のHfSiON上の仕事関数が4.4乃至4.5eVに設定できるためである。本実施例においては、第1金属膜12として、DCマグнетロンスパッタ法により、22nmの膜厚を有するNi膜を室温で成膜した。

[0114] さらに、第1金属膜12としてのNi膜上に、Niの拡散を防止するための拡散防止層13を全面に堆積した。

[0115] 拡散防止層13としては、ゲートポリシリコンを完全にシリサイト化させるための熱処理工程において、シリサイト化する金属の拡散を防止することができ、かつ、自身が安定であるものを選ぶ必要がある。

[0116] さらに、シリサイド化した金属及び層間絶縁膜Ⅲに対して拡散防止層13を選択的にエッチングすることができれば、素子作製工程が簡便になるため好適である。本実施例においては、拡散防止層13として、反応性スパッタ法により、膜厚20nmのTiN膜を摂氏300度で堆積した。

[0117] 次に、図4(a)に示すように、リソグラフィー技術及びRIE技術を用いて、P型MOSFET領域における第1金属膜(Ni膜)12アのTiN膜13のみを除去した。

[0118] その後、前述したシリサイトを形成させる第1金属膜12と同種の第2金属膜14を全面に形成した。すなわち、本実施例においては、第2金属膜14としてNi膜を形成した。

[0119] この工程における第2金属膜14としてのNi膜の膜厚t1としては、拡散防止層13の下に成膜した第1金属膜(Ni膜)の膜厚t2と合わせて、ポリシリコン膜4とNiとが十分に反応してシリサイド化した時にゲート絶縁膜3に接している領域の組成が $Ni_xSi_{1-x}$ ( $0.5 < x < 1$ )となるような膜厚t1を設定する。

[0120] 好ましくは、シリサイド化反応後のシリサイト膜のゲート絶縁膜3に接している領域の組成が $Ni_xSi_{1-x}$ ( $0.6 \leq x < 1$ )となるような膜厚t1を設定する。これは、N締目成がSi組成の2倍以上であるNiシリサイトのHfSiON上の仕事関数は4.6eV以上であるためである。

[0121] さらに好ましくは、シリサイド化反応後のシリサイト膜が $Ni_3S$ 締目を主成分として含むような膜厚t1を設定する。これは、 $Ni_3S$ 相を主成分として含むシリサイトのHfSiON上の仕事関数は4.8eVであるためである。

[0122] 本実施例においては、DCマグネットロンスパッタ法により、室温で第2金属膜14としてのNi膜を44nm成膜した。従って、P型MOSFET領域におけるゲート絶縁膜3上では合計66nmのNi膜(第1金属膜12としてのNi膜の膜厚は22nmであり、第2金属膜14としてのNi膜の膜厚は44nm)がシリサイド化反応に関与するのに対して、N型MOSFET領域におけるゲート絶縁膜3上では拡散防止層13の下の第1金属膜12としてのNi膜(膜厚は22nm)のみがシリサイド化反応に関与する。

[0123] 次に、ゲート絶縁膜3上のポリシリコン膜4と第1金属膜12及び第2金属膜14をシリサイド化させるための熱処理を行った。この熱処理は、金属膜の酸化を防ぐため非酸

イロ霧 囲気 中で行なうことが 求められると同時に、ゲート絶縁膜3上のポリシリコン膜4を 全てシリサイトするために十分な拡散速度が得られ、かつ、ソース小レイン拡散層8 に形成されているシリサイト層10が高抵抗 にならない温度で行う必要がある。

- [0124] 本実施例においては、ソース小レイン拡散層8に形成されているシリサイト層10と、 ゲート電極4a上に形成するシリサイトがともにNiであることから、上記の熱処理は、窒 素ガス霧 囲気 中において摂氏450度で2分行なった。ソース小レイン拡散層8に形成 されているシリサイト層10がCoシリサイトやTiシリサイトであれば、より高温で熱処理を行なうことが可能である。例えば、摂氏800度で上記の熱処理を行なうことが可 能である。
- [0125] この熱処理により、N型MOSFET領域においては、22nmの第1金属膜12として のNi膜と40nmのポリシリコン膜4とが反応してゲート絶縁膜3直上までシリサイト化し 、P型MOSFET領域においては、66nmのNi膜12、14と40nmのポリシリコン膜4と が反応してゲート絶縁膜3直上までシリサイト化される。
- [0126] これにより、図4(省)に示すように、N型MOSFET領域においてはゲート電極19が、 P型MOSFET領域においてはゲート電極20が形成される。
- [0127] P型MOSFET領域では同じ膜厚のポリシリコン膜4に対して供給できるNiの量が 多くなるために、N型MOSFET領域のNiシリサイトゲート電極19よりもNiの濃度が 高いNiシリサイトゲート電極20が形成される。
- [0128] 図5は、Niシリサイトの各結晶相におけるX線回折(はRD)及びラザフォード後方散 乱(RBS)の測定結果を示す波形図である。
- [0129] 図5に示すように、本実施例におけるNi膜の膜厚においては、N型MOSFET領域 のNiシリサイトゲート電極19はNi<sub>3</sub>Si単一相であり、Ni/(Ni+Si)組成比は約0.5 であった。これに対して、P型MOSFET領域のNiシリサイトゲート電極20はNi<sub>3</sub>Si相 ガメインのNi<sub>3</sub>Si相との混合相であり、Ni/(Ni+Si)組成比は約0.75であった。
- [0130] 最後に、熱処理においてシリサイトが反応しなかった余剰のNi膜12、14及びTiN 膜13は、硫酸過酸化水素水溶液を用いて、ウェットエッチングにより除去した。
- [0131] なお、上記の各工程を通して、ゲート電極19、20の剥離はまったく観察されなかっ た。

[0132] 以上のような工程を経ることにより、図4(j)に示すように、N型MOSFET領域とP型MOSFET領域とで組成比の異なったNiフルシリサイト電極19、20をもつCMOSFETを形成した。

[0133] 表1に示すように、Niシリサイトの結晶相は、ポリシリコン膜4上に堆積したNi膜の厚さ、すなわち、ポリシリコン膜4に供給されるNiの量に応じて、段階的に決まる。

[0134] [表1]

		$T_{Ni}/T_{Si}$			
		0.33	0.67	1.20	1.80
アニール温度 (摂 氏)	650	$NiSi_2$ + $NiSi$			
	600	$NiSi$			
	500	$NiSi$	$NiSi$		$NiSi +$ $Ni_3Si$
	450		$NiSi$		$NiSi +$ $Ni_3Si$
	400		$NiSi$	$NiSi$	$NiSi +$ $Ni_3Si$

[0135] 発明者は、例えば、N型MOSFET用電極としてNiSi相を用いる場合には、ゲートポリシリコン膜の厚さ( $T_s$ )とNi膜( $T_N$ )の比( $T_N/T_s$ )を0.55乃至0.95の範囲に設定すればよく、また、P型MOSFET用電極としてNiSi<sub>2</sub>相を主成分とするシリサイトを用いる場合には、 $T_N/T_s$ を1.60以上にすればよいことを見出した。

[0136] ただし、NiSi<sub>2</sub>相を主成分とするシリサイトだけは、Ni膜の膜厚( $T_N$ )を $T_N/T_s$ が0.28乃至0.54の範囲になるように設定し、かつ、シリサイトドロ温度を摂氏650以上にすることが必要である。

[0137] さらに、Niシリサイトの仕事関数を決定するNi/(Ni+Si)組成は、NiSi<sub>2</sub>、NiSi、Ni<sub>2</sub>Si、Ni<sub>3</sub>Siなどの結晶相によりほぼ自己整合的に決まるため、同じ結晶相を得る(即ち、同じ仕事関数を得る)ことができるNi膜の堆積膜厚やシリサイトドロ温度などのプロセス条件のマージンが広く、製造プロセスのバラツキを低く抑えることができる。

[0138] 以上のようにして、N型MOSFET領域とP型MOSFET領域とでNiシリサイトをゲート電極として、それらのゲート電極の組成比が異なり、P型MOSFET用Niシリサイ

ドゲート電極のNi濃度がN型MOSFET用Niシリサイドゲート電極よりも高い相補型MOSFETを得ることができる。

- [0139] 図6は、本実施例に従ってNiシリサイドゲート電極の組成を制御し、ゲート絶縁膜3に高誘電率材料であるHfSiON膜を採用したCMOSFETにおけるゲート容量(C)とゲート電圧(V)との関係を示したグラフである。
- [0140] 図6には、ゲートポリシリコン膜の厚さ( $T_s$ )とNi膜( $T_N$ )の比( $T_N/T_s$ )が0.33、0.67、1.80である場合のC-V曲線が示されている。図6に示すように、 $T_N/T_s$ の違いに対応してC-V曲線のフラットバント電圧がシフトしていることがわかる。
- [0141] 図7は、フラットバント電圧から見積もった仕事関数とNiシリサイドゲート電極の組成比Ni/(Ni+Si)との関係を示したものである。
- [0142] 図7に示した3個の点に対応するNi/(Ni+Si)組成は左からそれぞれNi<sub>2</sub>Si、NiSi、Ni<sub>3</sub>Si相に対応している。これらの結晶相により自己整合的に決まるNiシリサイドゲート電極の組成比に対応して、HfSiON膜上のNiシリサイドの仕事関数が決まっていることがわかる。具体的には、Ni<sub>2</sub>Siでは仕事関数は約4.4eVとなり、NiSiでは仕事関数は約4.5eVとなり、Ni<sub>3</sub>Siでは仕事関数は約4.8eVとなる。
- [0143] 図8は、CMOSFETのしきい値電圧(V<sub>th</sub>)とチャネル不純物量との関係を示すグラフである。
- [0144] 上述したような仕事関数から予想できるCMOSFETのしきい値電圧(V<sub>th</sub>)の範囲は、チャネル不純物量に対して、図8のようになる。すなわち、NiSi(仕事関数は約4.5eV)あるいはNi<sub>2</sub>Si(仕事関数は約4.4eV)からなるNiシリサイドゲート電極はN型MOSFETに、Ni<sub>3</sub>Si(仕事関数は約4.8eV)からなるNiシリサイドゲート電極はN型MOSFETに適用することができることがわかる。
- [0145] 図9は、NiSiをゲート電極としたN型MOSFETにおけるドレン電流のゲート電圧依存性を示すグラフであり、図10は、N型MOSFETにおける電子移動度と実効電界の強度との関係を示したグラフである。
- [0146] 図9に示されるように、NiSiをゲート電極としたN型MOSトランジスタのしきい値電圧(V<sub>th</sub>)は図8において予想されたしきい値電圧(V<sub>th</sub>)と同等の値となっている。
- [0147] さらに、図10に示されるように、トランジスタのキャリア移動度もpoly-Si/SiO<sub>2</sub>の

組み合わせによるトランジスタと同等の値を得ることができる。

[0148] 以上より、本実施例で示したNiSiゲート電極とHfSiONゲート絶縁膜とを組み合わせることにより、優れたトランジスタ特性を得ることができる。

### 比較例1

[0149] 図11は、実施例1に対する比較例1の断面図である。

[0150] 図皿に示す比較例1においては、ゲート絶縁膜3を高誘電率材料からなる膜として形成し、さらに、ゲート電極をポリシリコンから形成した。すなわち、N型MOSFETにおけるゲート電極21はn<sup>+</sup>ポリシリコン電極であり、P型MOSFETにおけるゲート電極22はp<sup>+</sup>ポリシリコン電極である。

[0151] ゲート絶縁膜3の形成までは実施例1と同じ工程を実施し、ポリシリコンを堆積した後、層間絶縁膜皿を堆積せずに、ポリシリコンをゲート電極21、22にエッチングした。

[0152] その後、実施例1と同じ手法でゲート側壁7を形成し、ソース・ドレイン拡散層8の形成時にゲート電極21、22のポリシリコンにも不純物を拡散した。注入量は、N型MOSFET用ポリシリコン電極21にはリン(P)を3E15(cm<sup>-2</sup>)、P型MOSFET用ポリシリコン電極22にはホウ素(B)を3E15(cm<sup>-2</sup>)とした。

[0153] 不純物を活性化した後、実施例1と同様のサリサイド工程により、ソース・ドレイン拡散層8及びポリシリコンゲート電極21、22にNiシリサイドを形成した。この場合のゲート電極21、22上のNiシリサイドはゲート絶縁膜3には達していない。

[0154] 図12は、このようにして作製した比較例1におけるP型MOSFETのゲート容量(C)－ゲート電圧(V)特性である。

[0155] ゲート電極21、22にポリシリコンを用いているため、電極の空乏化が起こり、反転領域においてEOTで約5オングストローム增加に相当する容量劣化が生じている。さらに、ポリシリコンと高誘電率ゲート絶縁膜との界面欠陥の影響により、電極フェルミレベルのピンニングが電極と絶縁膜との界面で起こり、トランジスタのしきい値電圧を制御できなくなるといった問題が生じている。

[0156] 図9のフラットバンド電圧から求められる、ゲート絶縁膜にHfSiONを用いた場合のポリシリコンの仕事関数は、不純物ドープによらず、4.1乃至4.3eV付近に固定され

ており、P型MOSFETのしきい値電圧( $V_{th}$ )が-1.0乃至-0.8V程度の大きな値になってしまった。

## 比較例2

- [0157] 図1に示した従来例を実施例1に対する比較例2として用いる。
- [0158] 比較例2においては、図1に示すように、ゲート絶縁膜3にシリコン熱酸化膜を用い、ゲート電極23、24としては、ゲート電極の空乏化を回避するため、メタルゲート電極としてのNiSi電極を用いた。
- [0159] ゲート絶縁膜3として3nmの熱酸化膜を用い、実施例1と同様な手法で図4(g)の段階まで作製した後、ゲートポリシリコンに不純物注入と活性化アニールを行う。注入条件以外は実施例2と同条件で実施した。
- [0160] 注入量は、リン(P)及びホウ素(B)とともに、0乃至5E20( $\text{cm}^{-3}$ )となるように変化させた。 $T_N/T_s = 0.55$ となるNiを実施例1と同じ方法で堆積した後、摂氏450度、2分のアニーリングを行い、Niシリサイトを形成した。この場合、ゲート電極23、24の全体がNiSi相となった。最後にNiの余剰エッチングを行った。
- [0161] 図13は、P型及びN型MOSFETのC-V特性から得た $\text{SiO}_2$ 膜上のNiSi電極の仕事関数及び $\text{HfSiON}$ 膜上のNiSi電極の仕事関数の不純物ドーズ量依存性を示すグラフである。
- [0162] 不純物元素とドーズ量を変えることにより、4.4乃至4.7eVの範囲で仕事関数を変えることができることがわかった。従って、不純物ドープされたNiSi電極を用いることにより、電極空乏化を回避することができ、従来のCMOSFETの構造をほとんど変更することなく、しきい値電圧( $V_{th}$ )の制御に優れたメタルゲートCMOSFETを作製することができる。
- [0163] ただし、これらの結果はゲート絶縁膜に $\text{SiO}_2$ を用いた場合であり、ゲートリーク電流を低減する必要がある低電力動作のCMOSFETには適用することはできない。
- [0164] この問題を解決するため、比較例2のゲート絶縁膜3を、実施例1で説明したシリコン熱酸化膜上に $\text{HfSiON}$ を積層した構造に代えた素子を作製した。
- [0165] 図13に示すように、ドーズ量によらず、 $\text{HfSiON}$ 膜上のNiSi電極の仕事関数は4.5eVで一定であり、 $\text{HfSiON}$ 膜上ではNiSi中の不純物による仕事関数を制御するこ

とができないことがわかった。従って、ポリシリコン膜とHfSiON膜との界面で生じるフェルミヒンニングによるP型MOSFETの高いしきい値電圧を0.1V程度しか改善することができず、低電力動作CMOSで要求されるしきい値を達成するには至らない。

[0166] 以上、本発明の実施例を説明したが、本発明は上記実施例に限定されるものではなく、本発明の趣旨を逸脱しない範囲内において、材料及び構造を選択して実施することが可能である。

[0167] 例えば、ゲート電極をシリサイド化するための金属元素と、ソース小レイン拡散層のシリサイド化に用いる金属元素の組合せは、実施例1においても述べたように、ソース小レイン拡散層のシリサイドの変質が起こらない温度範囲でゲートポリシリコンのシリサイド化を行うことができるれば条件が満たされる必要があるが、それぞれのシリサイド金属元素の組み合わせに応じて、熱処理温度や時間等の条件を調整して、所望の効果を得ることが可能となる。例えば、低温でのシリサイド化が困難な金属であっても、長時間の熱処理を行うことにより、シリサイド化が可能であることもあるからである。

[0168] また、例えば、ゲート絶縁膜上のポリシリコンを非品質シリコンに置き換え、あるいはシリサイド化する金属の成膜温度を調整することにより、シリサイド化温度を低下させることができあり、これらの技術を必要に応じて併用することも可能である。

## 請求の範囲

[1] シリコン基板と、前記シリコン基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を備える半導体装置において、  
 前記ゲート絶縁膜が、金属酸化物、金属シリケート、または、金属酸化物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を含み、  
 前記ゲート電極の少なくとも前記ゲート絶縁膜に接する領域の組成が、 $M_xSi_{1-x}$  ( $0 < x < 1$ ) で表される金属Mのシリサイトを主成分とし、  
 さらに、pチャネル上のゲート電極に含まれる前記金属Mのシリサイトにおいては $x \geq 0.5$  であり、nチャネル上のゲート電極に含まれる金属Mのシリサイトにおいては $x \leq 0.5$  であることを特徴とする半導体装置。

[2] 前記高誘電率絶縁膜がHfまたはZrを含むことを特徴とする請求の範囲第1項に記載の半導体装置。

[3] 前記高誘電率絶縁膜と前記ゲート電極との間にHfまたはZrを含む層を有することを特徴とする請求の範囲第1項に記載の半導体装置。

[4] 前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、HfもしくはZrを含む層との積層構造であることを特徴とする請求の範囲第1項に記載の半導体装置。

[5] 前記高誘電率絶縁膜がHfSiONを含むことを特徴とする請求の範囲第1項に記載の半導体装置。

[6] 前記高誘電率絶縁膜と前記ゲート電極との間にHfSiON層を有することを特徴とする請求の範囲第1項に記載の半導体装置。

[7] 前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、HfSiON層との積層構造であることを特徴とする請求の範囲第1項に記載の半導体装置。

[8] 前記金属Mが、シリサイトプロセスが可能であるシリサイトを形成し得る金属であることを特徴とする請求の範囲第1項乃至第7項の何れか一項に記載の半導体装置。

[9] 前記金属Mがニッケル(Ni)であることを特徴とする請求の範囲第1項乃至第7項の何れか一項に記載の半導体装置。

[10] 前記金属Mがニッケル(Ni)であるシリサイトのうち、前記ゲート絶縁膜に接する領

域の組成が $Ni_xSi_{1-x}$  ( $0 < x < 1$ ) で表されるとき、pチャネル上のゲート電極に含まれる前記シリサイトにおいては $0.6 \leq x < 1$  であり、かつ、nチャネル上のゲート電極に含まれる前記シリサイトにおいては $0 < x \leq 0.5$  であることを特徴とする請求の範囲第9項に記載の半導体装置。

- [11] pチャネル上のゲート電極に含まれる前記シリサイトが、少なくとも前記ゲート絶縁膜に接する領域において、 $Ni_3SiW$  を主成分として含み、nチャネル上のゲート電極に含まれる前記シリサイトが、少なくとも前記ゲート絶縁膜に接する領域において、 $NiSi$  相もしくは $NiSi_2$  相を主成分として含むことを特徴とする請求の範囲第9項に記載の半導体装置。
- [12] シリコン基板と、前記シリコン基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を備える半導体装置において、  
少なくとも、前記ゲート電極の前記ゲート絶縁膜に接する領域が $Ni_3Si$  相を主成分として含むシリサイトで構成されることを特徴とする半導体装置。
- [13] 前記ゲート絶縁膜が、金属酸化物、金属シリケート、金属酸化物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を含むこと特徴とする請求の範囲第12項に記載の半導体装置。
- [14] 前記高誘電率絶縁膜がHfまたはZrを含むことを特徴とする請求の範囲第13項に記載の半導体装置。
- [15] 前記高誘電率絶縁膜と前記ゲート電極との間にHfまたはZrを含む層を有することを特徴とする請求の範囲第13項に記載の半導体装置。
- [16] 前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、HfもしくはZrを含む層との積層構造であることを特徴とする請求の範囲第13項に記載の半導体装置。
- [17] 前記高誘電率絶縁膜が $HfSiON$  を含むことを特徴とする請求の範囲第13項に記載の半導体装置。
- [18] 前記高誘電率絶縁膜と前記ゲート電極との間に $HfSiON$  層を有することを特徴とする請求の範囲第13項に記載の半導体装置。
- [19] 前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 $HfSiON$  層と

の積層構造であることを特徴とする請求の範囲第13項に記載の半導体装置。

[20] 前記ゲート電極がP型MOSFETに用いられる特徴とする請求の範囲第12項乃至第19項の何れか一項に記載の半導体装置。

[21] 前記ゲート絶縁膜上に多結晶シリコン(Poly-Si)を堆積し、前記多結晶シリコンを所望の寸法のゲート電極に加工する工程と、  
前記ゲート電極上に前記金属Mを成膜する工程と、  
前記ゲート電極及び前記金属Mを熱処理することによって、前記ゲート電極全体を前記金属Mのシリサイドとする工程と、  
シリサイド化しなかった金属を選択的にエッチング除去する工程と、を含み、  
前記金属Mの膜厚を、pチャネル素子上においては、多結晶シリコンと金属Mとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $M_xSi_{1-x}$  ( $0.5 < x < 1$ )となるような膜厚 $t_1$ とし、nチャネル素子上においては、多結晶シリコンと金属Mとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $M_xSi_{1-x}$  ( $0 < x \leq 0.5$ )となるような膜厚 $t_2$ とすることを特徴とする請求の範囲第1項乃至第9項の何れか一項に記載の半導体装置の製造方法。

[22] 前記ゲート絶縁膜上に多結晶シリコンを堆積し、前記多結晶シリコンを所望の寸法のゲート電極に加工する工程と、  
前記ゲート電極上にニッケル(Ni)膜を成膜する工程と、  
前記ゲート電極及び前記ニッケル膜を熱処理することによって、前記ゲート電極全体をNiシリサイド(NiSi)とする工程と、  
シリサイド化しなかったニッケルを選択的にエッチング除去する工程と、を含み、  
前記ニッケル膜の膜厚を、pチャネル素子上においては、多結晶シリコンとニッケルとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $Ni_xSi_{1-x}$  ( $0.6 \leq x < 1$ )となるような膜厚 $t_1$ とし、nチャネル素子上においては、多結晶シリコンとニッケルとが反応してシリサイド化した時に前記ゲート絶縁膜に接する領域の組成が $Ni_xSi_{1-x}$  ( $0 < x \leq 0.5$ )となるような膜厚 $t_2$ とすることを特徴とする請求の範囲第10項に記載の半導体装置の製造方法。

[23] 前記ゲート絶縁膜上に多結晶シリコンを堆積し、前記多結晶シリコンを所望の寸法

のゲート電極に加工する工程と、  
 前記ゲート電極上にニッケル(Ni)膜を成膜する工程と、  
 前記ゲート電極及び前記ニッケル膜を熱処理することによって、前記ゲート電極全体をNiシリサイド(NiSi)とする工程と、  
 シリサイド化しなかったニッケルを選択的にエッチング除去する工程と、を含み、  
 前記ニッケル膜の膜厚を、pチャネル素子上においては、多結晶シリコンとニッケルとが反応してシリサイド化した時に $Ni_3Si$ 相を主成分として含むような膜厚 $t_1$ とし、nチャネル素子上においては、多結晶シリコンとニッケルとが反応してシリサイド化した時に $Ni_3Si$ 相もしくは $NiSi_2$ 相を主成分として含むような膜厚 $t_2$ とすることを特徴とする請求の範囲第Ⅲ項に記載の半導体装置の製造方法。

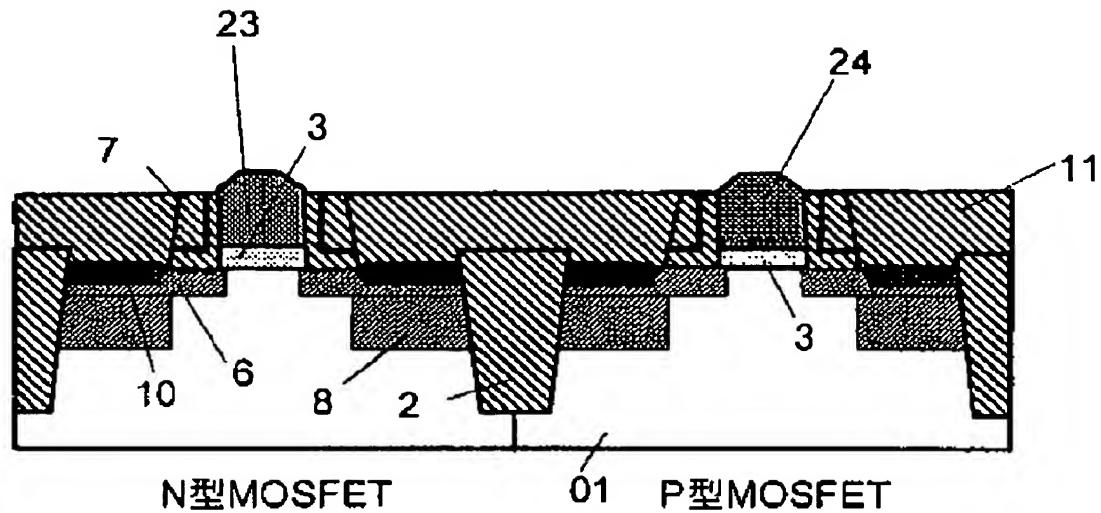
- [24] 前記ニッケル膜の膜厚 $T_{Ni}$ と前記多結晶シリコンの膜厚 $T_{Si}$ との比を $T_{Ni}/T_{Si} = 1.60$ とすることにより、 $Ni_3Si$ 相を主成分として含む前記ゲート電極を得ることを特徴とする請求の範囲第23項に記載の半導体装置の製造方法。
- [25] 前記ニッケル膜の膜厚 $T_{Ni}$ と前記多結晶シリコンの膜厚 $T_{Si}$ との比を $0.55 \leq T_{Ni}/T_{Si} \leq 0.95$ とすることにより、 $NiSi$ 相を主成分として含む前記ゲート電極を得ることを特徴とする請求の範囲第23項に記載の半導体装置の製造方法。
- [26] 前記ニッケル膜の膜厚 $T_{Ni}$ と前記多結晶シリコンの膜厚 $T_{Si}$ との比を $0.28 \leq T_{Ni}/T_{Si} \leq 0.54$ とし、かつ、シリサイド化のための熱処理温度を摂氏650度以上とすることにより、 $NiSi_2$ 相を主成分として含む前記ゲート電極を得ることを特徴とする請求の範囲第23項に記載の半導体装置の製造方法。
- [27] 前記金属Mまたは前記ニッケル膜を成膜する工程が、  
 nチャネル素子上とpチャネル素子上に膜厚 $t_2$ を堆積した後、nチャネル素子上にのみ金属Mまたはニッケルに対して安定な拡散防止層を形成し、その後に、膜厚 $t_1 - t_2$ を堆積する工程からなることを特徴とする請求の範囲第21項乃至第23項の何れか一項に記載の半導体装置の製造方法。
- [28] 前記拡散防止層が前記金属Mのシリサイドに対して選択的にエッチングできるものであることを特徴とする請求の範囲第27項に記載の半導体装置の製造方法。
- [29] 前記拡散防止層がTiNまたはTa<sub>x</sub>Nを主成分とすることを特徴とする請求の範囲第

27項に記載の半導体装置の製造方法。

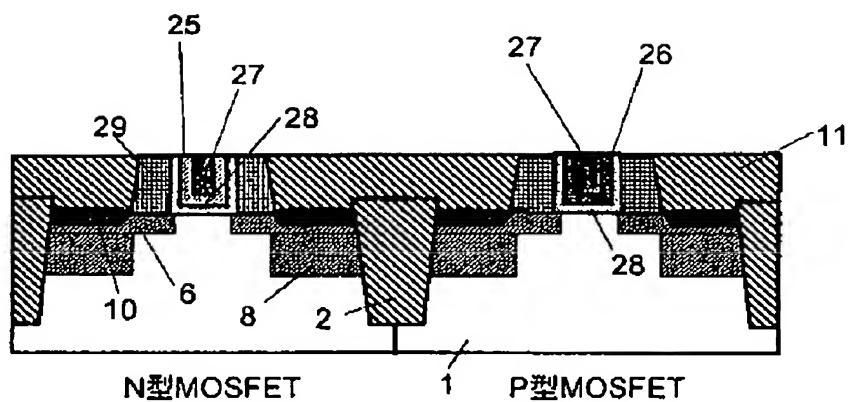
[30] 前記シリサイド化の熱処理温度が前記半導体装置の拡散層コンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度であることを特徴とする請求の範囲第21項乃至第29項の何れか一項に記載の半導体装置の製造方法。

[31] 前記ゲート絶縁膜上にポリシリコンを堆積し、前記ポリシリコンを所望の寸法のゲート電極に加工する工程と、  
前記ゲート電極上にニッケル(Ni)膜を成膜する工程と、  
前記ゲート電極及び前記ニッケル膜を熱処理することによって、前記ゲート電極全体をNiシリサイド(NiSi)とする工程と、  
シリサイド化しなかったニッケルを選択的にエッティング除去する工程と、を含み、  
前記ニッケル膜の膜厚T<sub>Ni</sub>と前記ポリシリコンの膜厚T<sub>Si</sub>との比がT<sub>Ni</sub>/T<sub>Si</sub>≡1.60となることを特徴とする請求の範囲第12項乃至第20項の何れか一項に記載の半導体装置の製造方法。

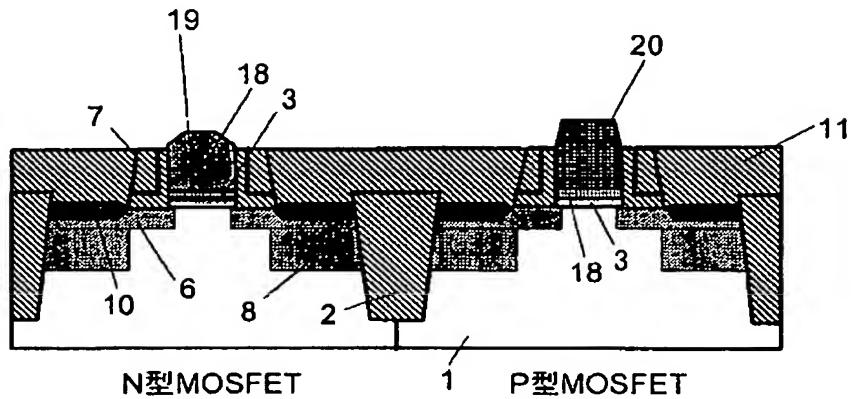
[図1]



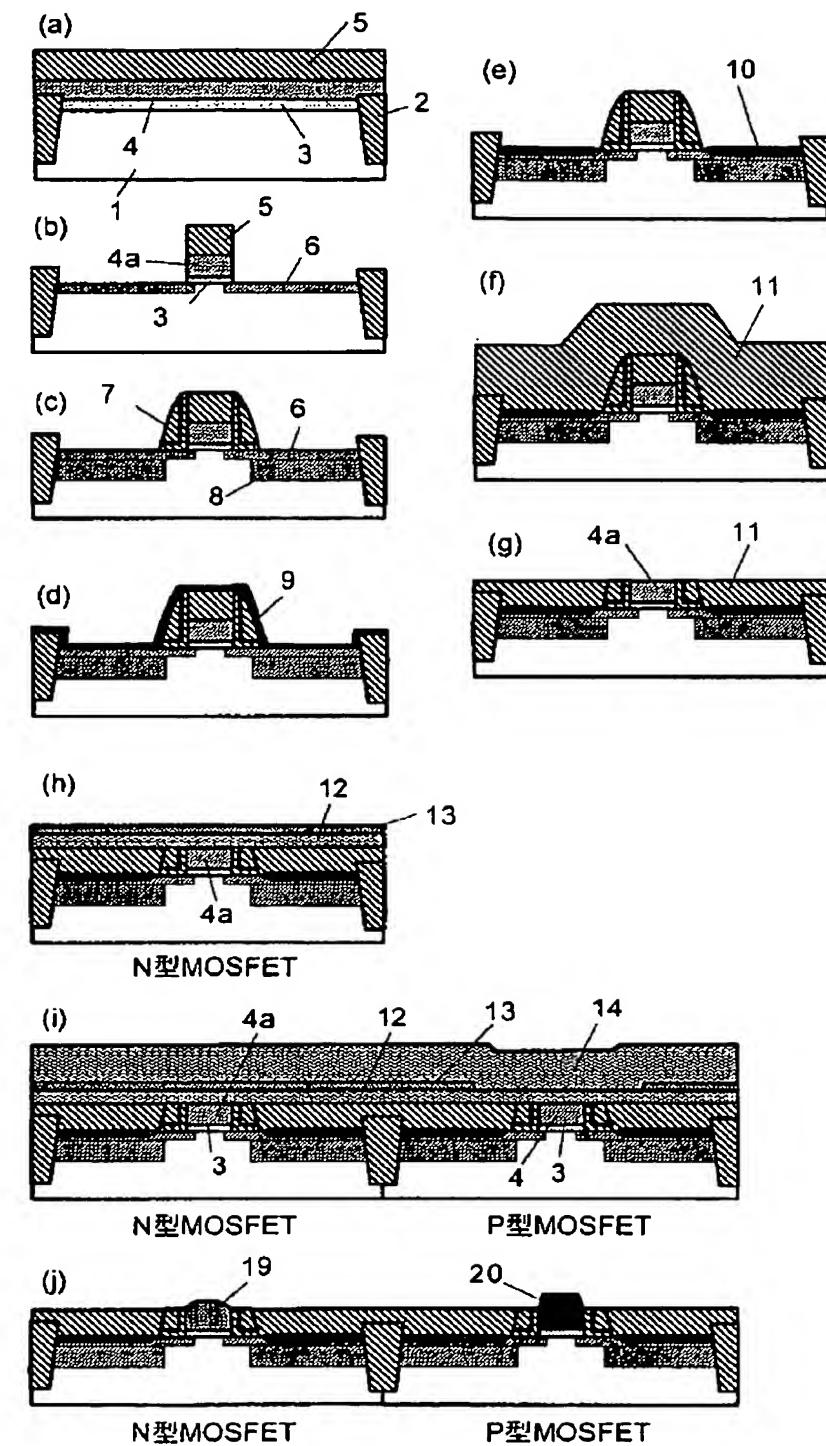
[図2]



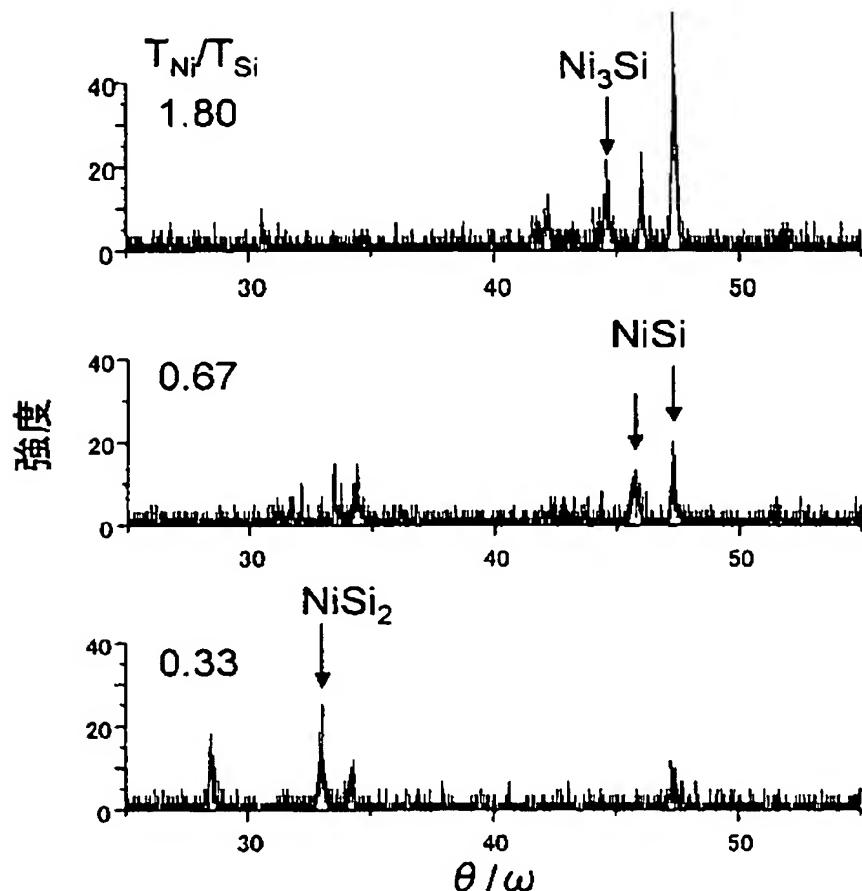
[図3]



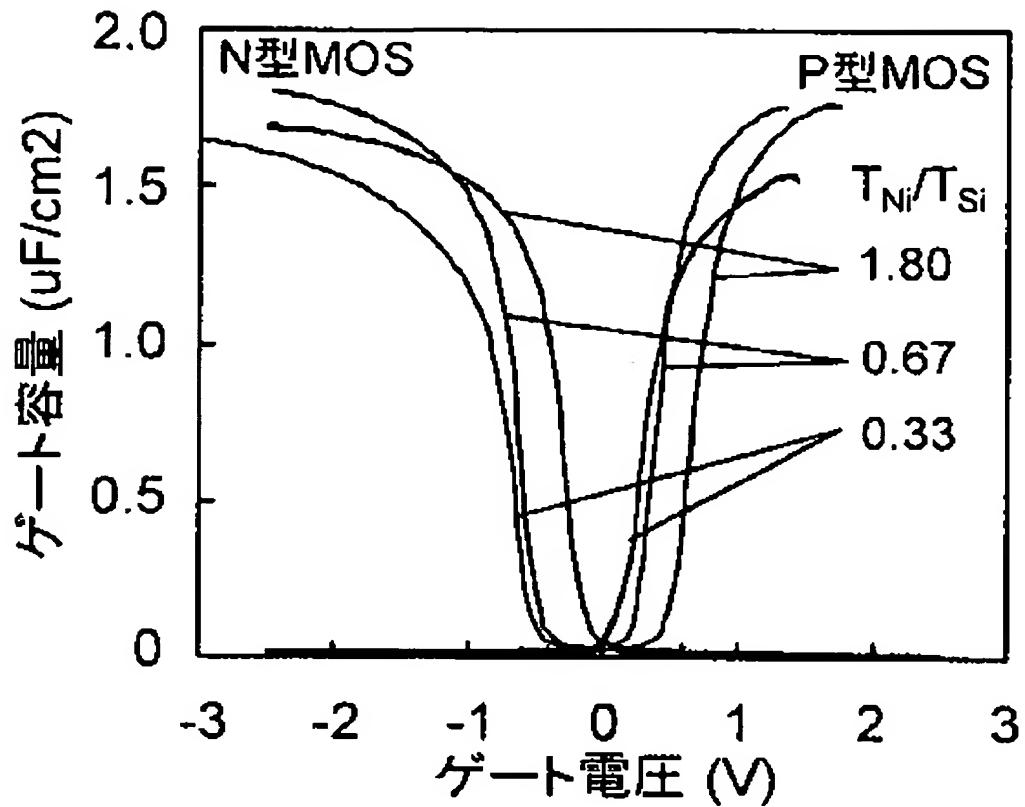
[図4]



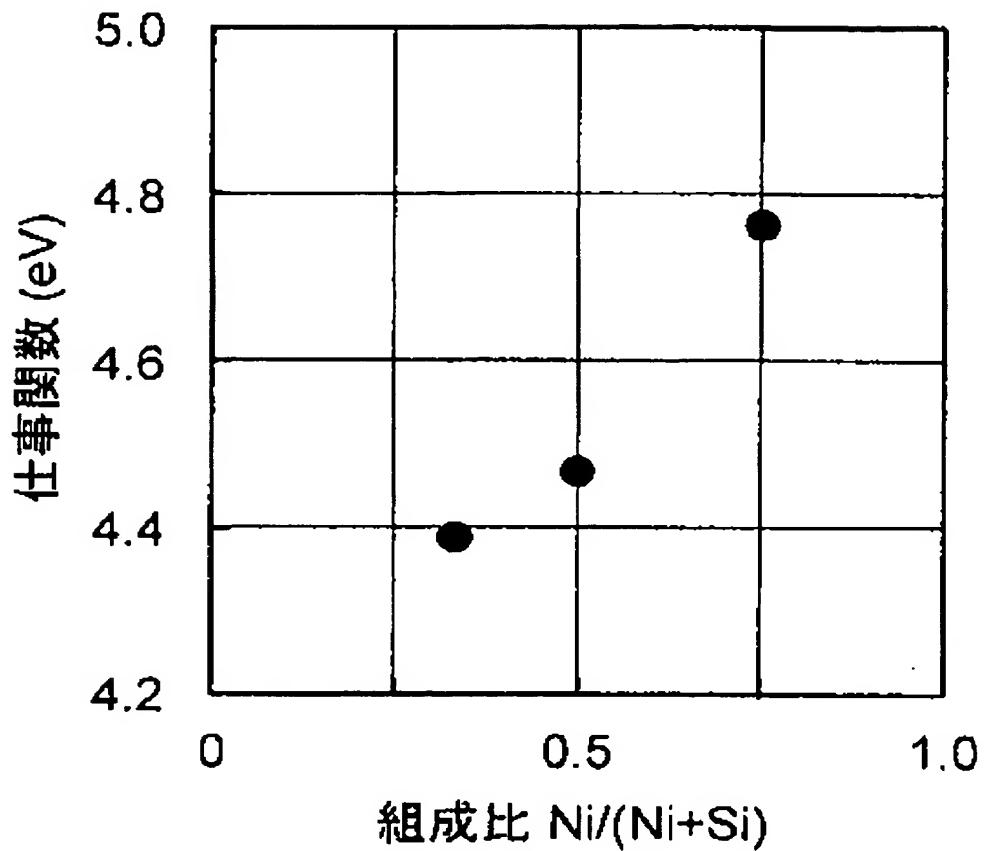
[図5]



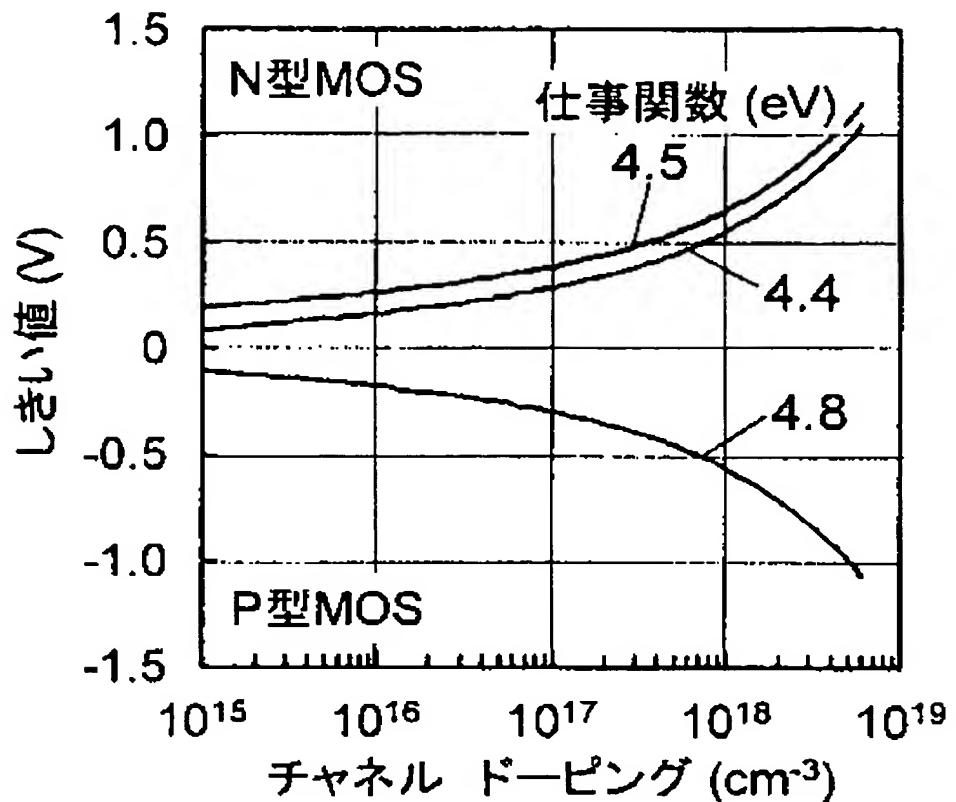
[図6]



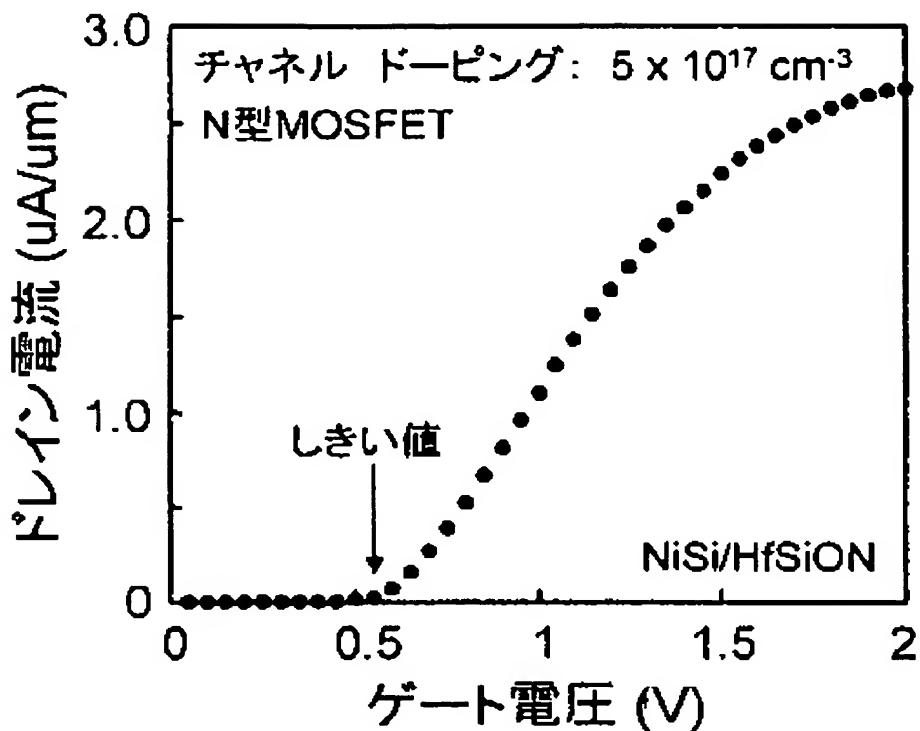
[図7]



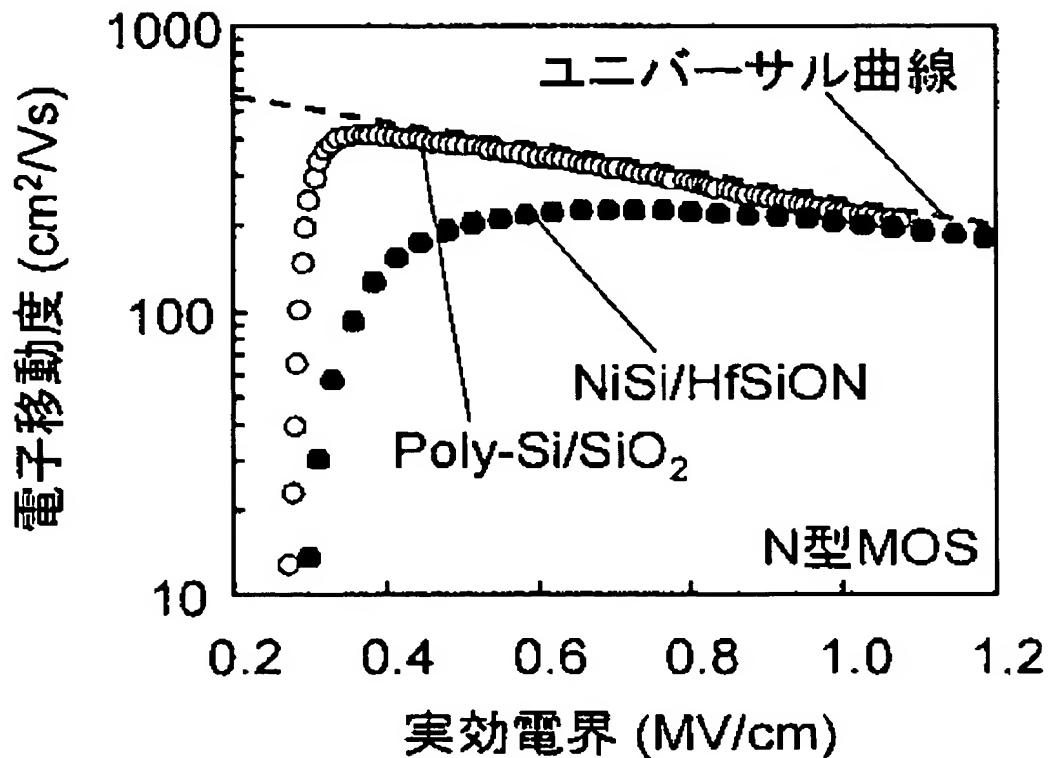
[図8]



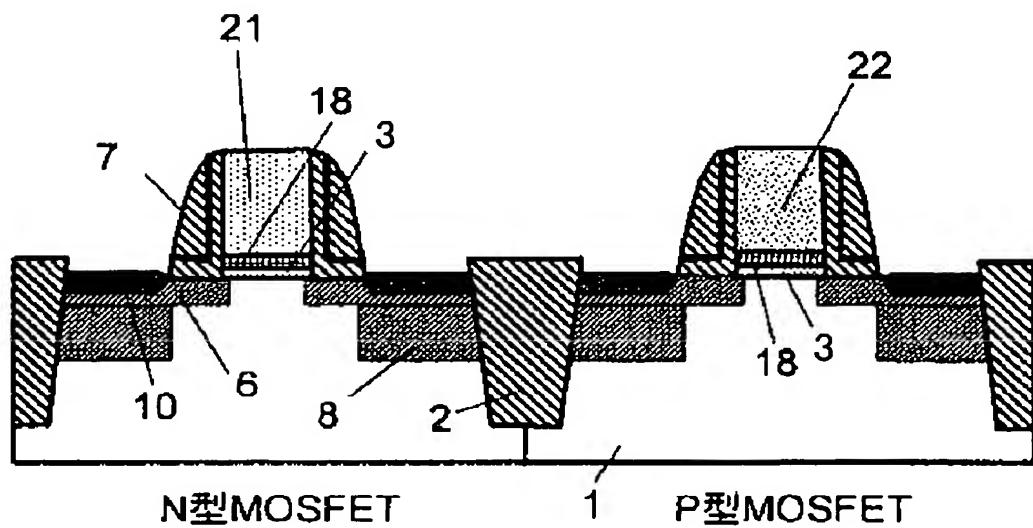
[図9]



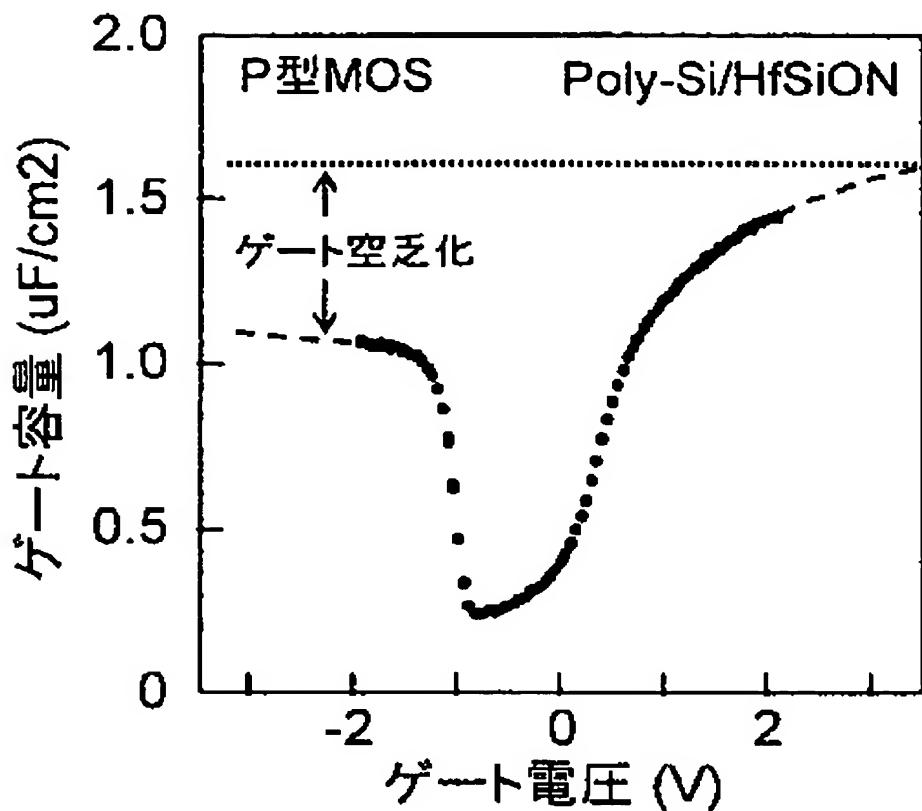
[図10]



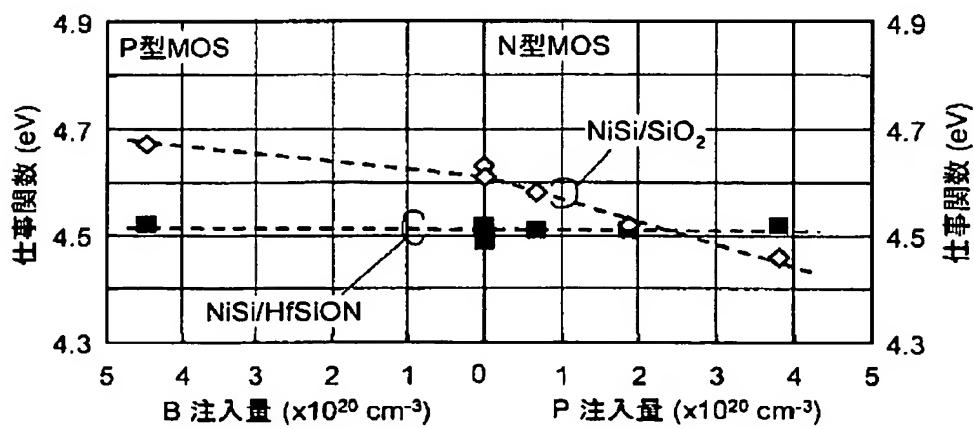
[図11]



[図12]



[図13]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011331

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>7</sup> H01L21/8238, 21/28, 27/092, 29/423, 29/49, 29/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>7</sup> H01L21/8238, 21/28, 27/092, 29/423, 29/49, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	To <sup>ro</sup> oku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE, JOIS Easy

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-258121 A (Toshiba Corp.), 12 September, 2003 (12.09.03), Full text & US 2003/143825 A1	1 - 8 9-31
A	JP 2004-152995 A (Toshiba Corp.), 27 May, 2004 (27.05.04), & US 6727129 B1 & CN 1499612 A & KR 2004/038772 A	1-31
A	JP 2004-158593 A (Toshiba Corp.), 03 June, 2004 (03.06.04), & US 2004/084734 A1 & CN 1499635 A	1-31

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"E" earlier application or patent but published on or after the international filing date

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"S" document member of the same patent family

Date of the actual completion of the international search  
08 September, 2005 (08.09.05)Date of mailing of the international search report  
27 September, 2005 (27.09.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011331

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	masZara et al., Transistors with dual work function metal gates by Single Full Silicidation (FUSI) of polysilicon gates: Electron Devices Meeting, 2002. IEDM '02. Digest. IEEE International (2002) (US), pages 367 to 370	1-31
A	Kedzierski et al., Threshold voltage control in NiSi-gated MOSFETs through silicidation induced impurity segregation (SIIS) : Electron Devices Meeting, 2003., IEDM '03 Techinal Digest. IEEE International (2003) (US) , pages 315 to 318	1-31
T	Terai et al., Highly Reliable HfSiON CMOSFET with Phase Controlled NiSi (NFET) and Ni <sub>3</sub> Si (PFET) FUSI Gate Electrode: 2005 Symposium on VLSI Technology Digest of Technical Papers (2005) (US), pages 68 to 69	1-31
P, X	TAKAHASHI et al., Dual workfunction Ni-Silicide/Hf SiON gate stacks by Phase-Controlled full-silicidation (PC-FUSI) Technique for 45nm-node LSTP and LOP Devices: Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International (2004) (US), pages 91 to 94	1-31

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int.Cl.<sup>7</sup> H01L21/8238, 21/28, 27/092, 29/423, 29/49, 29/78

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int.Cl.<sup>7</sup> H01L21/8238, 21/28, 27/092, 29/423, 29/49, 29/78

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922--1996年
日本国公開実用新案公報	1971--2005年
日本国実用新案登録公報	1996--2005年
日本国登録実用新案公報	1994--2005年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE  
JOIS Easy

## C. 関連する認められる文献

引用文献の カテゴリー	引用文献名 及び- 部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-258121 A (株式会社東芝) 2003.09.12, 全文 & US 2003/143825	1-8
A	A1	9-31
A	JP 2004-152995 A (株式会社東芝) 2004.05.27, 全文 & US 6727129 B1 及 CN 1499612 A & KR 2004/038772 A	1-31

旺 C欄の続きにも文献が列挙されている。

「 パテントファミリーに関する別紙を参照。

## 水 引用文献のカテゴリー

IAJ 特に関連のある文献ではなく、一般的技術水準を示すもの

IEJ 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

ILJ 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

IOJ 口頭による開示、使用、展示等に言及する文献

「PJ 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の役に公表された文献

ITJ 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

IXJ 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

IVJ 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

I&J 同一パテントファミリー文献

国際調査を完了した日

08.09.2005

国際調査報告の発送日 27.9.200b

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

電話番号 03-3581-1101 内線 3498B

4L 8934

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するとときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-158593 A (株式会社東芝) 2004. 06. 03 & US 2004/084734 A1 & CN 1499635 A	1-31
A	MasZara et. al. Transistors with dual work function metal gates by Single Full Silicidation (FUSI) of Polysilicon gates : Electron Devices Meeting, 2002. IEDM '02. Digest. IEEE International (2002) p. 367-370	1-31
A	Kedzierski et. al. Threshold voltage control in NiSi-gated MOSFETs through silicidation induced impurity segregation (sIIS) : Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International (2003) p. 315-318	1-31
T	Terao et. al. Highly Reliable HfSiON CMOSFET with Phase Controlled NiLSi (NFET) and Ni <sub>3</sub> Si (PFET) FUSI Gate Electrode : 2005 Symposium on VLSI Technology Digest of Technical Papers (2005) p. 68-69	1-31
P X	Takahashi et. al. Dual Workfunction Ni-Silicide / HfSiON gate stacks by Phase-Controlled full-silicidation (PC-FUSI) Technique for 45nm-node LSTP and LOP Devices : Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International (2004) p. 91-94	1-31